

Docket No.: 60188-128

PATENT

jc997 U.S. PTO
10/003533
12/06/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Takenobu TANI :
Serial No.: : Group Art Unit:
Filed: December 6, 2001 : Examiner:
For: POWER CONTROL DEVICE FOR PROCESSOR

#2
Priority
Paper
MHA
3/29/02

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:
Japanese Patent Application No. 2000-378752,
Filed December 13, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:ykg
Date: December 6, 2001
Facsimile: (202) 756-8087

日本国特許庁
JAPAN PATENT OFFICE

60188-128
DECEMBER 6, 2001
TANI
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月13日

出願番号

Application Number:

特願2000-378752

出願人

Applicant(s):

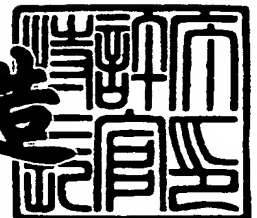
松下電器産業株式会社

JC997 U.S. PTO
10/003533
12/06/01

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3093652

【書類名】 特許願

【整理番号】 5037620144

【提出日】 平成12年12月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/46

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 谷 文暢

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサの電力制御装置

【特許請求の範囲】

【請求項 1】 プロセッサの内部で消費される電力を制御するための電力制御装置であって、

各々電力制御情報を書き換え可能に記憶するための複数の電力制御レジスタを備えたパワーテーブルと、

複数の動作条件を書き換え可能に記憶し、前記プロセッサの現在の動作が前記複数の動作条件のいずれを満たすかを判定し、当該判定の結果に応じて前記複数の電力制御レジスタのいずれかを選択するようにインデックス信号を供給するための条件判定器と、

前記インデックス信号により選択された電力制御レジスタ中の電力制御情報に従って前記プロセッサの消費電力を制御するためのコントローラとを備えたことを特徴とするプロセッサの電力制御装置。

【請求項 2】 請求項 1 記載の電力制御装置において、

前記電力制御情報は、前記コントローラによる電力制御の対象とすべき 1 以上の回路ブロックを指定するためのブロック情報を含むことを特徴とする電力制御装置。

【請求項 3】 請求項 1 記載の電力制御装置において、

前記電力制御情報は、制御対象回路ブロックへ供給すべき電源電圧の大きさを表す電圧情報を含むことを特徴とする電力制御装置。

【請求項 4】 請求項 1 記載の電力制御装置において、

前記電力制御情報は、制御対象回路ブロックを構成するトランジスタの閾値電圧を制御するための電圧情報を含むことを特徴とする電力制御装置。

【請求項 5】 請求項 1 記載の電力制御装置において、

前記電力制御情報は、制御対象回路ブロックへ供給すべきクロックの周波数を表すクロック情報を含むことを特徴とする電力制御装置。

【請求項 6】 請求項 1 記載の電力制御装置において、

前記電力制御情報は、制御対象回路ブロックへのクロック供給を停止するか否

かを表すクロック情報を含むことを特徴とする電力制御装置。

【請求項 7】 請求項 1 記載の電力制御装置において、

前記条件判定器は、

各々比較アドレスと、当該比較アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタ手段を備えたアドレステーブルと、

前記プロセッサのプログラムカウンタが示すアドレスが前記複数の比較アドレスのいずれに一致したかを判定するための手段と、

前記一致判定された比較アドレスに対応付けられたインデックス番号を表す信号を前記パワーテーブルへ前記インデックス信号として供給するための手段とを備えたことを特徴とする電力制御装置。

【請求項 8】 請求項 7 記載の電力制御装置において、

前記条件判定器は、前記プログラムカウンタが示すアドレスの不連続変化が検出された場合にのみ前記一致判定が実行されるように制御するための手段を更に備えたことを特徴とする電力制御装置。

【請求項 9】 請求項 1 記載の電力制御装置において、

前記条件判定器は、

各々比較開始アドレスと、当該比較開始アドレスに対応付けられた比較終了アドレスと、当該比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタ手段を備えたアドレステーブルと、

前記プロセッサのプログラムカウンタが示すアドレスが前記複数の比較開始アドレスと前記複数の比較終了アドレスとで定義される複数のアドレス範囲のいずれに属するかを判定するための手段と、

前記範囲判定された比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号を表す信号を前記パワーテーブルへ前記インデックス信号として供給するための手段とを備えたことを特徴とする電力制御装置。

【請求項 10】 請求項 1 記載の電力制御装置において、

前記条件判定器は、

各々比較イベント種別と、当該比較イベント種別に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタ手段を備えたイベントテーブルと、

前記プロセッサに生じたイベントの種別が前記複数の比較イベント種別のいずれに一致したかを判定するための手段と、

前記一致判定された比較イベント種別に対応付けられたインデックス番号を表す信号を前記パワーテーブルへ前記インデックス信号として供給するための手段とを備えたことを特徴とする電力制御装置。

【請求項 1 1】 請求項 1 記載の電力制御装置において、

前記条件判定器は、

各々比較時刻と、当該比較時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタ手段を備えたタイムテーブルと、

前記プロセッサの時刻信号が示す時刻が前記複数の比較時刻のいずれに一致したかを判定するための手段と、

前記一致判定された比較時刻に対応付けられたインデックス番号を表す信号を前記パワーテーブルへ前記インデックス信号として供給するための手段とを備えたことを特徴とする電力制御装置。

【請求項 1 2】 請求項 1 記載の電力制御装置において、

前記条件判定器は、

各々比較開始時刻と、当該比較開始時刻に対応付けられた比較終了時刻と、当該比較開始時刻及び比較終了時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタ手段を備えたタイムテーブルと、

前記プロセッサの時刻信号が示す時刻が前記複数の比較開始時刻と前記複数の比較終了時刻とで定義される複数の時間範囲のいずれに属するかを判定するための手段と、

前記範囲判定された比較開始時刻及び比較終了時刻に対応付けられたインデックス番号を表す信号を前記パワーテーブルへ前記インデックス信号として供給するための手段とを備えたことを特徴とする電力制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサの内部で消費される電力を制御するための電力制御装置に関するものである。

【0002】

【従来の技術】

コンピュータ、マイクロプロセッサ、マイクロコントローラ、ディジタル信号処理プロセッサ（DSP）等が知られている。ここでは、これらストアード・プログラム方式の装置を総称して「プロセッサ」という。

【0003】

従来のプロセッサの中には、電力制御装置を備えたものがある。例えば、あるプロセッサの電力制御装置は、スタンバイモードにおいて当該プロセッサの内部クロックの周波数を特定の周波数まで下げることによって、消費電力を削減する。

【0004】

【発明が解決しようとする課題】

上記従来のプロセッサの電力制御装置では、低減されたクロック周波数を当該プロセッサのユーザが決めることはできなかった。また、特別な命令を当該プロセッサが実行することでスタンバイモードへ入るようにしていたので、プログラムが大きくなる問題もあった。

【0005】

本発明の目的は、プロセッサの低消費電力動作をユーザがきめ細かく定義できるようにすることにある。

【0006】

本発明の他の目的は、イベントドリブン方式の電力制御装置を提供し、以てプログラミングの負担を軽減することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、本発明は、プロセッサの内部で消費される電力を制御するための電力制御装置において、各々電力制御情報を書き換え可能に記憶

するための複数の電力制御レジスタを備えたパワーテーブルと、複数の動作条件を書き換え可能に記憶し、プロセッサの現在の動作が当該複数の動作条件のいずれを満たすかを判定し、当該判定の結果に応じて複数の電力制御レジスタのいずれかを選択するようにインデックス信号を供給するための条件判定器と、インデックス信号により選択された電力制御レジスタ中の電力制御情報に従って当該プロセッサの消費電力を制御するためのコントローラとを備えた構成を採用することとしたものである。

【 0 0 0 8 】

本発明に係る電力制御装置によれば、プログラムの実行前又は実行中に電力制御情報と動作条件とをユーザが書き換えることで、当該プロセッサの低消費電力動作をユーザがきめ細かく定義できる。この書き換えは、プロセッサの製造時に行うことも可能である。

【 0 0 0 9 】

また、本発明に係る電力制御装置によれば、プロセッサの現況を条件判定器で自動判定するようにしたので、当該プロセッサのプログラムカウンタが示すアドレス、当該プロセッサに生じたイベントの種別、当該プロセッサの時刻信号が示す時刻等を条件判定器の入力とすることで、イベントドリブン方式の電力制御装置を実現することができる。

【 0 0 1 0 】

【発明の実施の形態】

以下、マイクロプロセッサへの本発明の適用例について、図面を参照しながら具体的に説明する。

【 0 0 1 1 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係るマイクロプロセッサの電力制御装置を示している。当該マイクロプロセッサ 1 0 は、プログラムカウンタ 1 1 と、複数の回路ブロック 1 5 とに加えて、パワーテーブル 2 0 と、条件判定器 3 0 と、電圧・クロックコントローラ 4 0 とで構成された電力制御装置を備えている。

【 0 0 1 2 】

パワーテーブル20は、各々電力制御情報を書き換え可能に記憶するための複数の電力制御レジスタ21を備えている。電力制御情報の各々は、複数の回路ブロック15のうち電力制御の対象とすべき1以上の回路ブロックを指定するためのブロック情報と、制御対象ブロックの電圧に関する情報（電圧情報）と、制御対象ブロックへ供給すべきクロックに関する情報（クロック情報）とを含んでいる。また、複数の電力制御レジスタ21のうちのいずれか1つが、条件判定器30から供給されるインデックス信号により選択されるようになっている。

【0013】

電圧・クロックコントローラ40は、インデックス信号により選択された電力制御レジスタ21中の電力制御情報に従って制御対象回路ブロックの消費電力を制御するためのコントローラであって、ブロック情報と電圧情報とを受け取る電圧コントローラ41と、ブロック情報とクロック情報とを受け取るクロックコントローラ45とで構成されている。

【0014】

条件判定器30は、アドレステーブル31と、比較器32と、ラッチ33とを備えている。アドレステーブル31は、各々比較アドレスと、当該比較アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器32は、プログラムカウンタ11が示すアドレスがアドレステーブル31の中の複数の比較アドレスのいずれに一致したかを判定する。ラッチ33は、一致判定された比較アドレスに対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル20へ前記インデックス信号として供給する。

【0015】

図2は、図1中のパワーテーブル20の詳細構成例を示している。各電力制御レジスタ21は、対象ブロック指定フィールドと、第1及び第2の電圧指定フィールドと、第1及び第2のクロック指定フィールドとを持つ。対象ブロック指定フィールドは、複数の回路ブロック15のそれぞれに対応した複数のビットを持ち、例えばビット値“1”が対応回路ブロックを電力制御の対象とすべき旨を表す。この対象ブロック指定フィールドの情報は、ブロック情報（INFO__BL

K)として電圧コントローラ41及びクロックコントローラ45へ供給される。第1の電圧指定フィールドは、制御対象回路ブロックへ供給すべき電源電圧 V_{cc} の大きさを表す第1の電圧情報($INFO_V_{cc}$)を記憶するためのフィールドである。第2の電圧指定フィールドは、制御対象回路ブロックを構成するトランジスタの閾値電圧 V_t を制御するための第2の電圧情報($INFO_V_t$)を記憶するためのフィールドである。第1のクロック指定フィールドは、制御対象回路ブロックへ供給すべきクロックの周波数を表す第1のクロック情報($INFO_FREQ$)を記憶するためのフィールドである。第2のクロック指定フィールドは、制御対象回路ブロックへのクロック供給を停止するか否かを表す第2のクロック情報($INFO_TERM$)を記憶するためのフィールドである。電圧情報は電圧コントローラ41へ、クロック情報はクロックコントローラ45へそれぞれ供給される。

【0016】

図3は、図1中の電圧コントローラ41の詳細構成例を示している。図3の電圧コントローラ41は、DC-DCコンバータ42と、ゼロ判定器43と、各ブロック用の論理回路44とで構成されている。DC-DCコンバータ42は、基本電圧を第1の電圧情報($INFO_V_{cc}$)で指定された大きさの電圧に変換し、この変換により得た電圧を電源電圧 V_{cc} として出力する。ゼロ判定器43は、第1の電圧情報($INFO_V_{cc}$)がゼロを指定しているか否かを調べる。論理回路44は2個のANDゲートで構成されており、ブロック情報($INFO_BLK$)とゼロ判定器43の出力とに基づく電源遮断信号と、ブロック情報($INFO_BLK$)と第2の電圧情報($INFO_V_t$)とに基づく V_t 選択信号とを出力する。電源遮断信号は、制御対象回路ブロックにおける電源電圧 V_{cc} 供給スイッチの制御に用いられる。 V_t 選択信号は、制御対象回路ブロックを構成するトランジスタの閾値電圧 V_t を制御するように、例えばMOSトランジスタのバックゲート電圧の選択制御に用いられる。各回路ブロックの消費電力は電源電圧 V_{cc} の2乗に比例する。したがって、電源電圧 V_{cc} の低減は、各回路ブロックの消費電力削減に極めて大きく寄与する。また、トランジスタ閾値電圧 V_t の制御は、当該トランジスタの高速動作モードと、漏れ電流が削減され

た非動作モードとを実現し得る。

【0017】

図4は、図1中のクロックコントローラ45の詳細構成例を示している。図4のクロックコントローラ45は、PLL46と、分周器47と、各ブロック用の論理回路48とで構成されている。PLL46は、ある周波数を持つ通常動作のための内部クロックを基本クロックから生成する。分周器47は、第1のクロック情報(INFO_FREQ)で指定されたクロック周波数に見合った分周比で、内部クロックを分周する。論理回路48は1個のマルチプレクサと1個のANDゲートとで構成されており、PLL46から供給された内部クロックと分周器47から供給された分周クロックとのいずれかをブロック情報(INFO_BLK)に基づいて選択し、かつ当該選択したクロックの供給・停止を第2のクロック情報(INFO_TERM)に応じて制御する。各回路ブロックの消費電力はクロック周波数に比例する。したがって、クロック周波数の低減は、高速動作が必要でない回路ブロックの消費電力削減に大きく寄与する。

【0018】

図5は、図1の電力制御装置の動作例を概念的に示している。図5において、パワーテーブル20は、各々インデックス番号0、1、2、3で識別される4個の電力制御レジスタを備えている。アドレステーブル31は、比較アドレス1000とインデックス番号3との組と、比較アドレス1400とインデックス番号2との組と、比較アドレス4B00とインデックス番号0との組と、比較アドレス7010とインデックス番号3との組と、比較アドレスC6FFとインデックス番号1との組と、比較アドレスD200とインデックス番号2との組と、比較アドレスD770とインデックス番号1との組とを記憶しているものとする。

【0019】

図5によれば、マイクロプロセッサ10のプログラムフローに応じて、次のような電力制御が実現する。まず、アドレス0000からプログラムの実行が開始する。その後、アドレス1000の命令実行時に、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の1番目の比較アドレスとが一致する。これにより、番号3を表すインデックス信号がパワーテーブル20へ供給され

る。これを受けて、パワーテーブル20はインデックス番号3で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。続いて、プログラムの実行がアドレス1400に到達すると、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の2番目の比較アドレスとが一致し、番号2を表すインデックス信号がパワーテーブル20へ供給される。これを受けて、パワーテーブル20はインデックス番号2で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。更に、アドレスC6FFへ分岐すべくサブルーチンコール命令が実行されると、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の5番目の比較アドレスとが一致し、番号1を表すインデックス信号がパワーテーブル20へ供給される。これを受けて、パワーテーブル20はインデックス番号1で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。

【0020】

以上のとおり、図1の電力制御装置によれば、パワーテーブル20とアドレステーブル31とをユーザが適宜書き換えることで、当該マイクロプロセッサ10の低消費電力動作をユーザがきめ細かく定義できる。例えば、サブルーチン単位での電力制御や、1命令単位での頻繁な電力制御も可能である。また、特定アドレス区間の命令実行時の電力制御や、多重ループ内の一部命令のみの実行時の電力制御も可能である。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御によりアプリケーションプログラム本体の処理効率が低下することはなく、命令メモリ容量の増加を招くこともない。更に、図1の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。

【 0 0 2 1 】

図 6 は、図 1 中の条件判定器 3 0 の変形例を示している。図 6 によれば、プログラムカウンタ 1 1 の更新のために、インクリメンタ 1 2 と、セクタ 1 3 とが配置されている。インクリメンタ 1 2 は、プログラムカウンタ 1 1 の出力アドレス信号を受けて、アドレスをインクリメントする。セクタ 1 3 は、通常はインクリメンタ 1 2 の出力アドレスをプログラムカウンタ 1 1 へ供給するが、ロード信号が与えられた場合には分岐アドレスをプログラムカウンタ 1 1 へ供給するように構成されている。図 6 の条件判定器 3 0 は、アドレステーブル 3 1 と、比較器 3 2 と、ラッチ 3 3 とに加えて、ロード信号を受けてイネーブル信号を生成するためのアドレス不連続検出器 3 4 を備えている。比較器 3 2 は、このイネーブル信号により、プログラムカウンタ 1 1 が示すアドレスの不連続変化が検出された場合にのみアドレス一致判定を実行するように制御される。その結果、条件判定器 3 0 の内部における消費電力が、図 1 の場合に比べて削減される。

【 0 0 2 2 】

図 7 は、図 1 中の条件判定器 3 0 の他の変形例を示している。図 7 の条件判定器 3 0 は、例えばサブルーチン単位での電力制御に適したものであって、各々比較開始アドレスと、当該比較開始アドレスに対応付けられた比較終了アドレスと、当該比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを持つアドレステーブル 3 1 を備え、プログラムカウンタ 1 1 が示すアドレスが複数の比較開始アドレスと複数の比較終了アドレスとで定義される複数のアドレス範囲のいずれに属するかを判定し、この範囲判定された比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号を表す信号をパワーテーブル 2 0 へインデックス信号として供給するようになっている。そのために、図 7 の条件判定器 3 0 は、アドレステーブル 3 1 に加えて、第 1 の比較器 3 2 a と、第 2 の比較器 3 2 b と、AND ゲート 3 5 と、ラッチ 3 3 とを備えている。なお、図 1 中の比較器 3 2 における一致判定をアドレス上位ビットに限定すれば、図 7 の場合より大まかな範囲判定を実現できる。

【 0 0 2 3 】

(第 2 の実施形態)

図 8 は、本発明の第 2 の実施形態に係る電力制御装置を備えたマイクロプロセッサを示している。図 8 のマイクロプロセッサ 1 1 0 は、外部ブロック 1 5 0 からのバースト的な大量データの受信を、当該外部ブロック 1 5 0 から与えられる送信開始／完了フラグに基づく割り込み処理として実行する機能を有するものであって、送信開始／完了フラグ等に応じた割り込み種別（イベント種別）を表すイベント信号を発生するためのイベント信号発生器 1 1 1 と、データ受信のための受信処理ブロック 1 1 5 と、受信データを格納するためのメモリブロック 1 1 6 と、その他の機能ブロック 1 1 7 とを備えている。更に、図 8 のマイクロプロセッサ 1 1 0 は、図 1 中のパワーテーブル 2 0 と同様のパワーテーブル 1 2 0 と、イベント信号にตอบสนองして当該パワーテーブル 1 2 0 へインデックス信号を供給するための条件判定器 1 3 0 と、図 1 中の電圧・クロックコントローラ 4 0 と同様の電圧・クロックコントローラ 1 4 0 とを備えており、これらが各回路ブロック 1 1 5, 1 1 6, 1 1 7 の消費電力を制御するための電力制御装置を構成している。

【 0 0 2 4 】

図 9 は、図 8 中の条件判定器 1 3 0 の詳細構成例を示している。図 9 の条件判定器 1 3 0 は、イベントテーブル 1 3 1 と、比較器 1 3 2 と、ラッチ 1 3 3 とを備えている。イベントテーブル 1 3 1 は、各々比較イベント種別と、当該比較イベント種別に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器 1 3 2 は、イベント信号発生器 1 1 1 が発生したイベント信号により表されたイベントの種別がイベントテーブル 1 3 1 中の複数の比較イベント種別のいずれに一致したかを判定する。ラッチ 1 3 3 は、一致判定された比較イベント種別に対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル 1 2 0 へ前記インデックス信号として供給する。

【 0 0 2 5 】

図 1 0 は、図 8 の電力制御装置の動作例を概念的に示している。図 1 0 において、パワーテーブル 1 2 0 は、各々インデックス番号 0、1、2、3 で識別され

る4個の電力制御レジスタを備えている。イベントテーブル131は、比較イベント種別1とインデックス番号3との組と、比較イベント種別2とインデックス番号2との組と、比較イベント種別3とインデックス番号0との組と、比較イベント種別4とインデックス番号3との組と、比較イベント種別5とインデックス番号1との組と、比較イベント種別6とインデックス番号2との組と、比較イベント種別7とインデックス番号1との組とを記憶している。外部ブロック150は、マイクロプロセッサ110へのデータ送信を開始する際に送信開始／完了フラグをアクティブにし、送信完了時に当該フラグをネガティブにする。これを受けて、イベント信号発生器111は、送信開始／完了フラグがアクティブになった時点でイベント種別4を表す信号を、当該フラグがネガティブになった時点でイベント種別5を表す信号をそれぞれ発生するものとする。

【0026】

図10によれば、マイクロプロセッサ110に生じたイベントの種別に応じて、次のような電力制御が実現する。まず、外部ブロック150からマイクロプロセッサ110へのデータ送信の開始時に送信開始／完了フラグがアクティブになると、イベント信号発生器111がイベント種別4を表す信号を発生するので、発生した当該イベント種別と、イベントテーブル131の中の4番目の比較イベント種別とが一致する。これにより、番号3を表すインデックス信号がパワーテーブル120へ供給される。これを受けて、パワーテーブル120はインデックス番号3で指定された電力制御情報を電圧・クロックコントローラ140へ供給し、電圧・クロックコントローラ140は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信処理ブロック115へ供給する電源電圧Vccを高くし、かつ当該ブロック115へ供給するクロックの周波数を高くすることができる。続いて、外部ブロック150からマイクロプロセッサ110へのデータ送信の完了時に送信開始／完了フラグがネガティブになると、イベント信号発生器111がイベント種別5を表す信号を発生するので、発生した当該イベント種別と、イベントテーブル131の中の5番目の比較イベント種別とが一致する。これにより、番号1を表すインデックス信号がパワーテーブル120へ供給される。これを受けて、パワーテーブル120はインデックス番号

1で指定された電力制御情報を電圧・クロックコントローラ140へ供給し、電圧・クロックコントローラ140は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信処理ブロック115への電源電圧を遮断し、かつ当該ブロック115へのクロックの供給を停止することができる。これにより、受信処理ブロック115を必要な期間だけ高速動作させることができる。

【0027】

以上のとおり、図8の電力制御装置によれば、パワーテーブル120とイベントテーブル131とをユーザが適宜書き換えることで、アプリケーションプログラムと非同期に発生するイベントに応じた当該マイクロプロセッサ110の低消費電力動作をユーザがきめ細かく定義できる。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御によりアプリケーションプログラム本体の処理効率が低下することはなく、命令メモリ容量の増加を招くこともない。更に、図8の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。

【0028】

(第3の実施形態)

図11は、本発明の第3の実施形態に係る電力制御装置を備えたマイクロプロセッサを示している。図11のマイクロプロセッサ210は、外部ブロック250との間のデータ送受信を定められた時間帯に実行する機能を有するものであって、時刻を表す時刻信号を発生するためのタイマ211と、データ受信のための受信ブロック215と、データ送信のための送信ブロック216と、その他の機能ブロック217とを備えている。更に、図11のマイクロプロセッサ210は、図1中のパワーテーブル20と同様のパワーテーブル220と、時刻信号に回答して当該パワーテーブル220ヘインデックス信号を供給するための条件判定器230と、図1中の電圧・クロックコントローラ40と同様の電圧・クロックコントローラ240とを備えており、これらが各回路ブロック215, 216,

217の消費電力を制御するための電力制御装置を構成している。

【0029】

図12は、図11中の条件判定器230の詳細構成例を示している。図12の条件判定器230は、タイムテーブル231と、比較器232と、ラッチ233とを備えている。タイムテーブル231は、各々比較時刻と、当該比較時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器232は、タイマ211が発生した時刻信号により表された時刻がイベントテーブル231の中の複数の比較時刻のいずれに一致したかを判定する。ラッチ233は、一致判定された比較時刻に対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル220へ前記インデックス信号として供給する。

【0030】

図13は、図11の電力制御装置の動作例を概念的に示している。図13において、パワーテーブル220は、各々インデックス番号0、1、2、3で識別される4個の電力制御レジスタを備えている。タイムテーブル231は、比較時刻とインデックス番号との多数の組を記憶している。図13中のT000、T020、T040、T050、T100、T120、T140、T150は各々時刻を表している。ここでは、当該マイクロプロセッサ210がT040からT050までの時間範囲では送信動作を、T100からT120までの時間範囲では受信動作をそれぞれ実行するものとする。

【0031】

図13によれば、時間の流れに応じて、次のような電力制御が実現する。まず、タイマ211の時刻信号により表された時刻がT020になると、この時刻と、タイムテーブル231の中の比較時刻T020とが一致する。これにより、番号3を表すインデックス信号がパワーテーブル220へ供給される。これを受けて、パワーテーブル220はインデックス番号3で指定された電力制御情報を電圧・クロックコントローラ240へ供給し、電圧・クロックコントローラ240は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信ブロック215及び送信ブロック216への電源電圧及びクロックの供

給を停止し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を低くすることで、プロセッサ全体として消費電力を削減できる。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 0 4 0 になると、この時刻と、タイムテーブル 2 3 1 の中の比較時刻 T 0 4 0 とが一致する。これにより、番号 1 を表すインデックス信号がパワーテーブル 2 2 0 へ供給される。これを受けて、パワーテーブル 2 2 0 はインデックス番号 3 で指定された電力制御情報を電圧・クロックコントローラ 2 4 0 へ供給し、電圧・クロックコントローラ 2 4 0 は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信ブロック 2 1 5 への電源電圧及びクロックの供給を停止したまま、送信ブロック 2 1 6 への電源電圧及びクロックの供給を開始し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を中程度にまで上げることができる。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 0 5 0 になると、この時刻と、タイムテーブル 2 3 1 の中の比較時刻 T 0 5 0 とが一致する。これにより、番号 3 を表すインデックス信号がパワーテーブル 2 2 0 へ再び供給されることとなり、T 0 2 0 から T 0 4 0 までの時間範囲と同じ状態に戻る。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 1 0 0 になると、この時刻と、タイムテーブル 2 3 1 の中の比較時刻 T 1 0 0 とが一致する。これにより、番号 2 を表すインデックス信号がパワーテーブル 2 2 0 へ供給される。これを受けて、パワーテーブル 2 2 0 はインデックス番号 2 で指定された電力制御情報を電圧・クロックコントローラ 2 4 0 へ供給し、電圧・クロックコントローラ 2 4 0 は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば送信ブロック 2 1 6 への電源電圧及びクロックの供給を停止したまま、受信ブロック 2 1 5 への電源電圧及びクロックの供給を開始し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を最大限に上げることができる。

【 0 0 3 2 】

以上のとおり、図 1 1 の電力制御装置によれば、パワーテーブル 2 2 0 とタイムテーブル 2 3 1 とをユーザが適宜書き換えることで、時間の流れに沿った当該マイクロプロセッサ 2 1 0 の低消費電力動作をユーザがきめ細かく定義できる。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御

によりアプリケーションプログラム本体の処理効率が低下することではなく、命令メモリ容量の増加を招くこともない。更に、図 1 1 の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。なお、タイマ 2 1 1 を周期的にリセットするように構成すれば、タイムテーブル 2 3 1 のレジスタ数を削減できる。

【 0 0 3 3 】

図 1 4 は、図 1 1 中の条件判定器 2 3 0 の変形例を示している。図 1 4 の条件判定器 2 3 0 は、各々比較開始時刻と、当該比較開始時刻に対応付けられた比較終了時刻と、当該比較開始時刻及び比較終了時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを持つタイムテーブル 2 3 1 を備え、タイマ 2 1 1 の時刻信号が示す時刻が複数の比較開始時刻と複数の比較終了時刻とで定義される複数の時間範囲のいずれに属するかを判定し、この範囲判定された比較開始時刻及び比較終了時刻に対応付けられたインデックス番号を表す信号をパワーテーブル 2 2 0 へインデックス信号として供給するようになっている。そのために、図 1 4 の条件判定器 2 3 0 は、タイムテーブル 2 3 1 に加えて、第 1 の比較器 2 3 2 a と、第 2 の比較器 2 3 2 b と、AND ゲート 2 3 5 と、ラッチ 2 3 3 とを備えている。なお、図 1 2 中の比較器 2 3 2 における一致判定を時刻信号の上位ビットに限定すれば、図 1 4 の場合より大まかな範囲判定を実現できる。

【 0 0 3 4 】

なお、上記各実施形態において種々の変更が可能である。例えば図 1 の構成において、用途に応じてパワーテーブル 2 0 とアドレステーブル 3 1 とを一体化した 1 つの装置として実装してもよい。図 2 中の電力制御レジスタ 2 1 は 5 フィールドからなるが、必ずしもこれに限る必要はない。例えば、用途によっては各電力制御レジスタ 2 1 に電源電圧 V_{cc} のフィールドのみを実装した構成も可能である。

【 0 0 3 5 】

上記各テーブルは、フリップフロップやラッチ構成に限らず、RAMやEEPROM構成、FPGA等のプログラマブルロジック構成等が可能である。各テーブルを命令実行により書き換えできるようにしてもよい。複数のパワーテーブルを備えた構成も可能である。

【0036】

上記各パワーテーブルへ供給すべきインデックス信号を命令実行により更新できるようにしてもよい。例えば、サブルーチンコール命令等の分岐命令のオペランド部でパワーテーブルのインデックス番号を指定する。

【0037】

条件判定器の入力として、命令コードや、当該マイクロプロセッサが扱うデータを採用してもよい。特定メモリ空間（例えばフラッシュメモリの空間）にデータが読み書きされることを条件判定器で検出して電源電圧制御を行うことも可能である。

【0038】

上記各実施形態の組み合わせによる電力制御も可能である。例えば、アドレス比較により特定のサブルーチン処理時の電源電圧を低くし、かつ外部イベントの発生時にクロック周波数を上げることも可能である。

【0039】

【発明の効果】

以上説明してきたとおり、本発明によれば、パワーテーブル中の電力制御情報とプロセッサの種々の動作条件とを書き換え可能としたので、当該プロセッサの低消費電力動作をユーザがきめ細かく定義できる。また、条件判定器を備えたことにより、プログラミングの負担を軽減できるイベントドリブン方式の電力制御装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るマイクロプロセッサの電力制御装置のブロック図である。

【図2】

図 1 中のパワーテーブルの詳細構成例を示すブロック図である。

【図 3】

図 1 中の電圧コントローラの詳細構成例を示すブロック図である。

【図 4】

図 1 中のクロックコントローラの詳細構成例を示すブロック図である。

【図 5】

図 1 の電力制御装置の動作例を示す概念図である。

【図 6】

図 1 中の条件判定器の変形例を示すブロック図である。

【図 7】

図 1 中の条件判定器の他の変形例を示すブロック図である。

【図 8】

本発明の第 2 の実施形態に係る電力制御装置を備えたマイクロプロセッサのブロック図である。

【図 9】

図 8 中の条件判定器の詳細構成例を示すブロック図である。

【図 1 0】

図 8 の電力制御装置の動作例を示す概念図である。

【図 1 1】

本発明の第 3 の実施形態に係る電力制御装置を備えたマイクロプロセッサのブロック図である。

【図 1 2】

図 1 1 中の条件判定器の詳細構成例を示すブロック図である。

【図 1 3】

図 1 1 の電力制御装置の動作例を示す概念図である。

【図 1 4】

図 1 1 中の条件判定器の変形例を示すブロック図である。

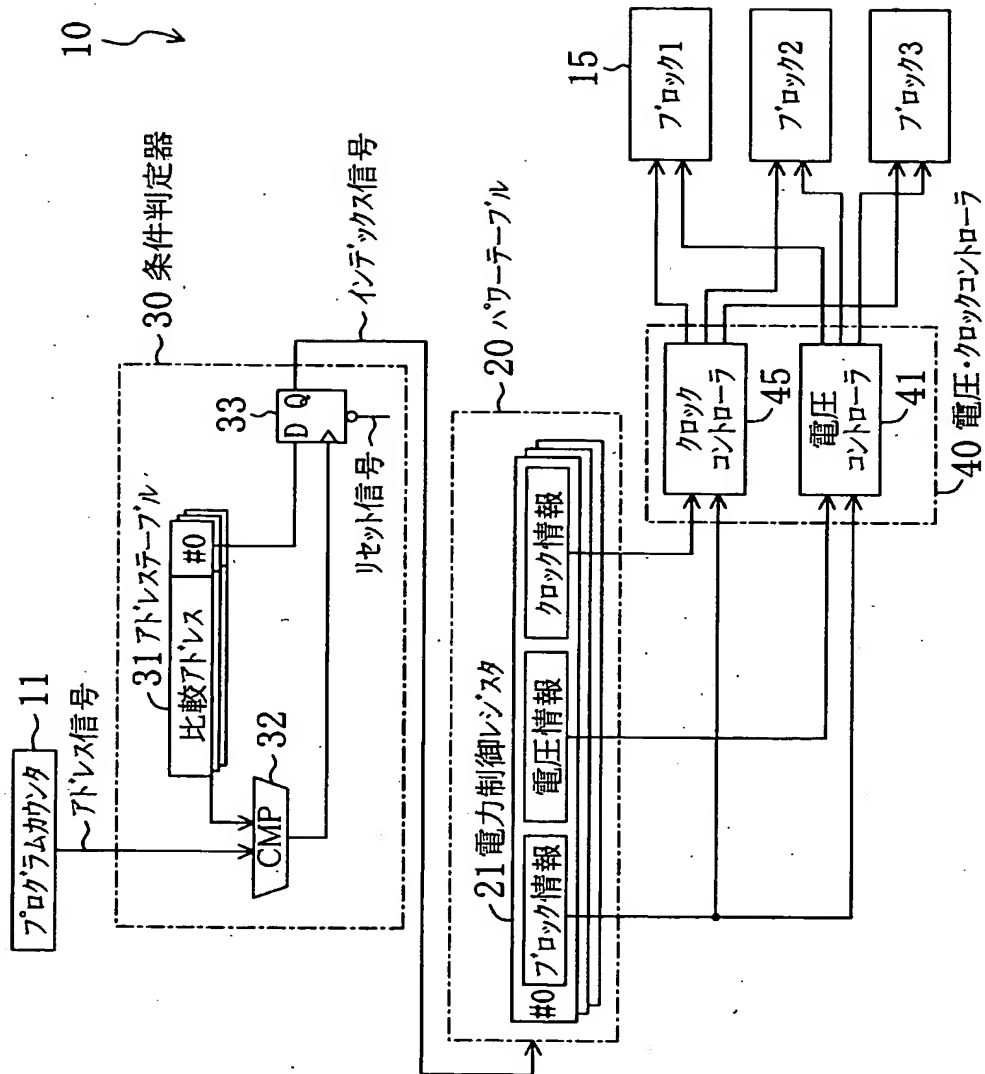
【符号の説明】

1 0 マイクロプロセッサ

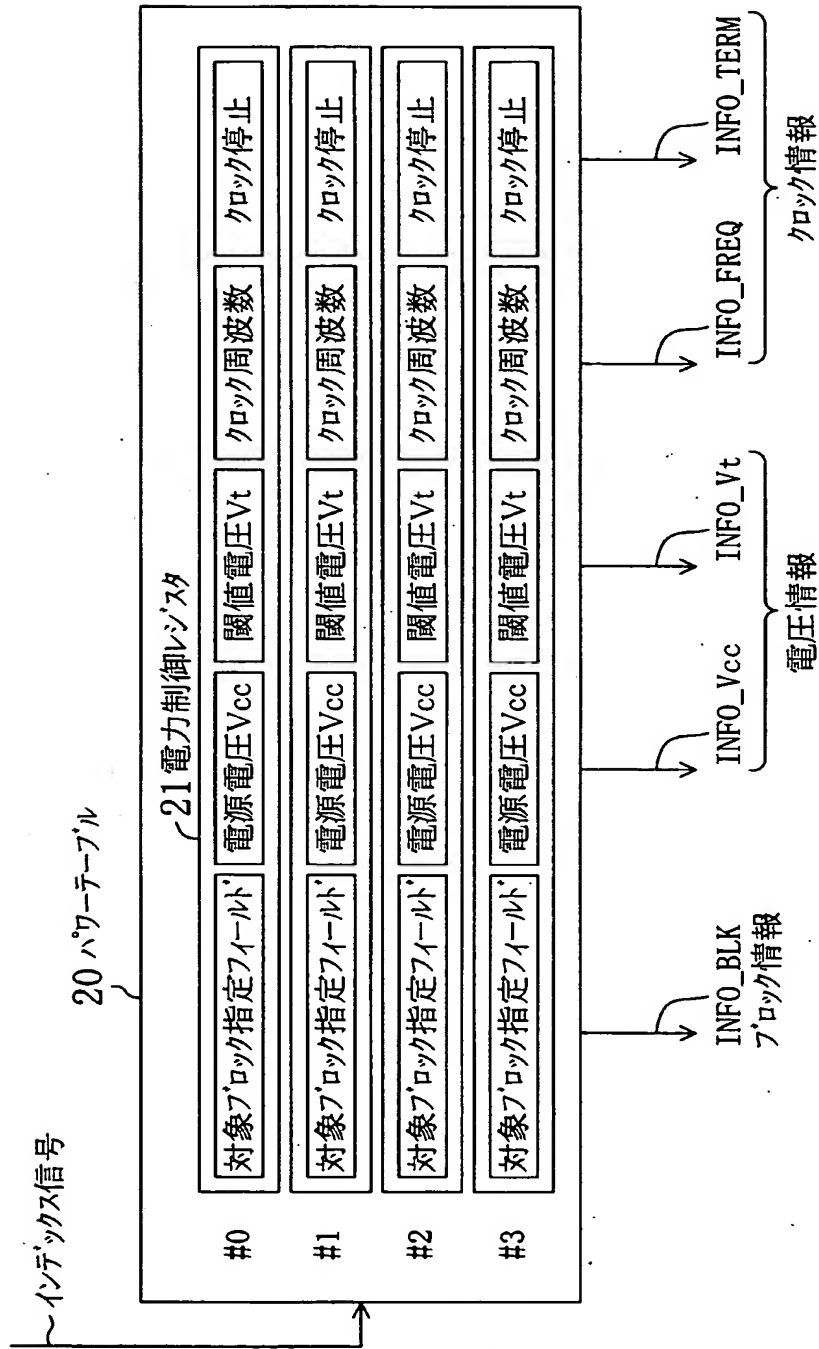
- 1 1 プログラムカウンタ
- 2 0 パワーテーブル
- 2 1 電力制御レジスタ
- 3 0 条件判定器
- 3 1 アドレステーブル
- 3 2, 3 2 a, 3 2 b 比較器
- 4 0 電圧・クロックコントローラ
- 1 1 0 マイクロプロセッサ
- 1 1 1 イベント信号発生器
- 1 2 0 パワーテーブル
- 1 3 0 条件判定器
- 1 3 1 イベントテーブル
- 1 3 2 比較器
- 1 4 0 電圧・クロックコントローラ
- 2 1 0 マイクロプロセッサ
- 2 1 1 タイマ
- 2 2 0 パワーテーブル
- 2 3 0 条件判定器
- 2 3 1 タイムテーブル
- 2 3 2, 2 3 2 a, 2 3 2 b 比較器
- 2 4 0 電圧・クロックコントローラ

【書類名】 図面

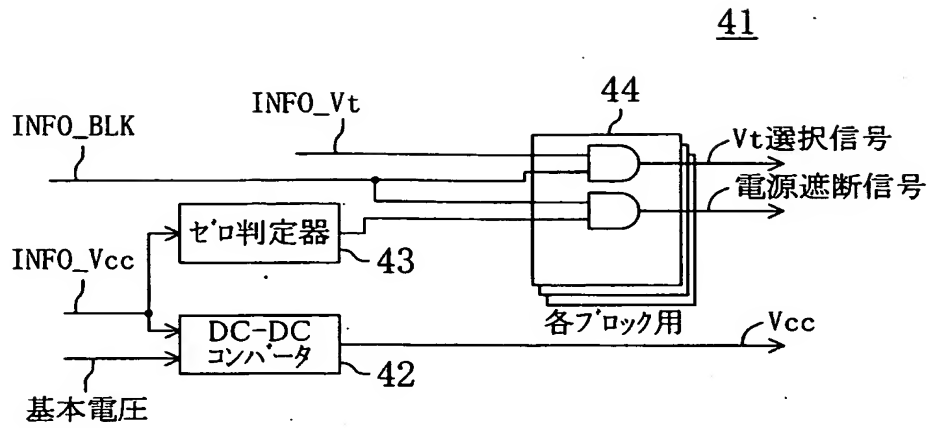
【図 1】



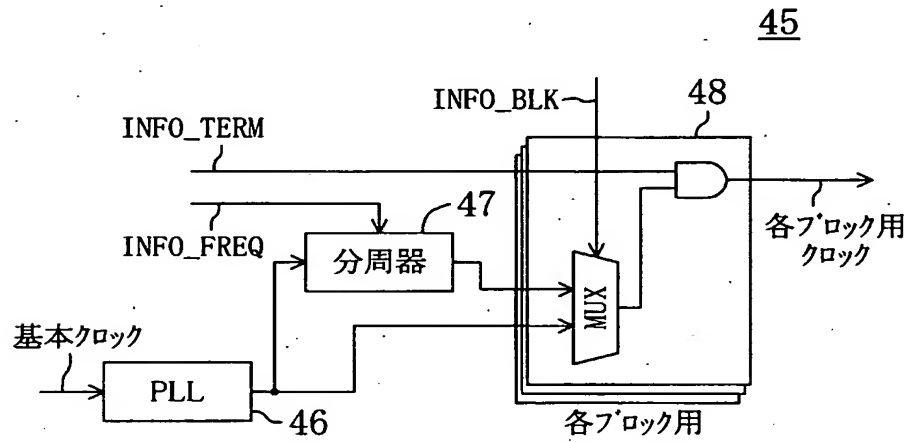
【図2】



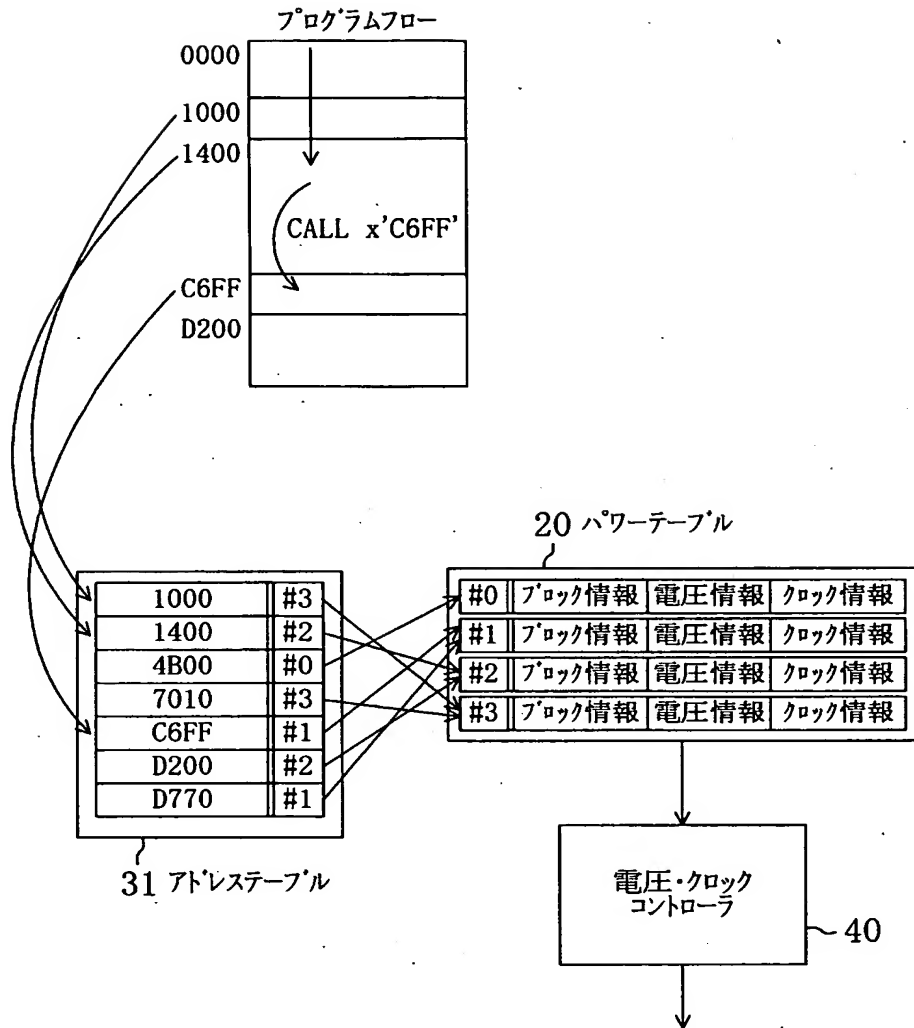
【図 3】



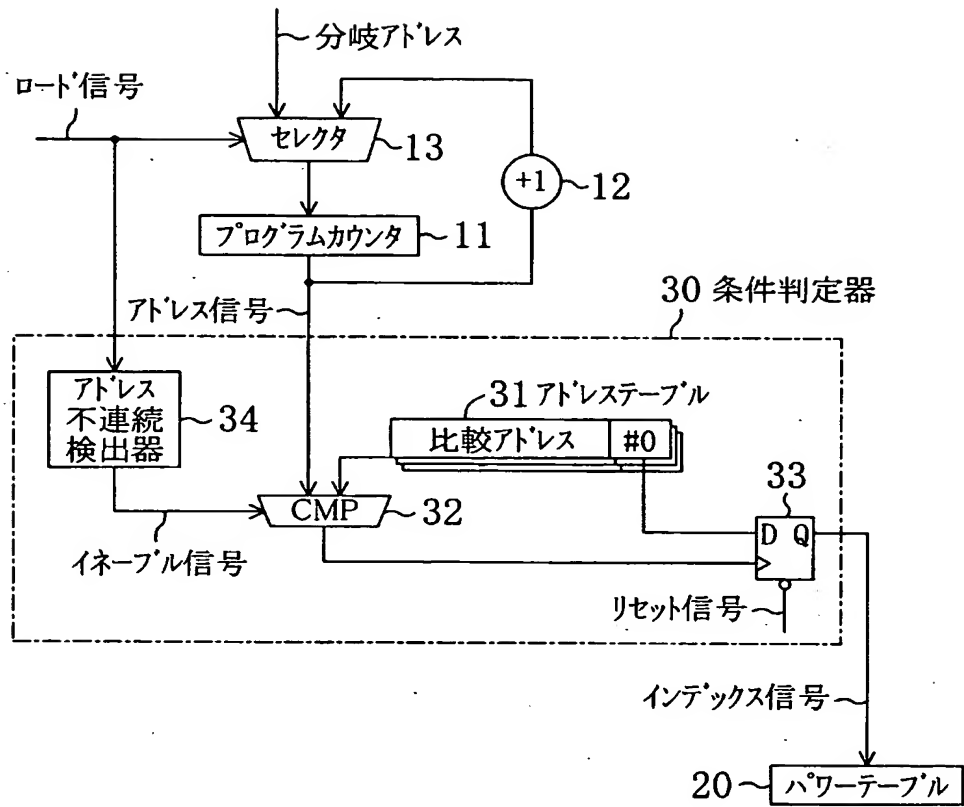
【図 4】



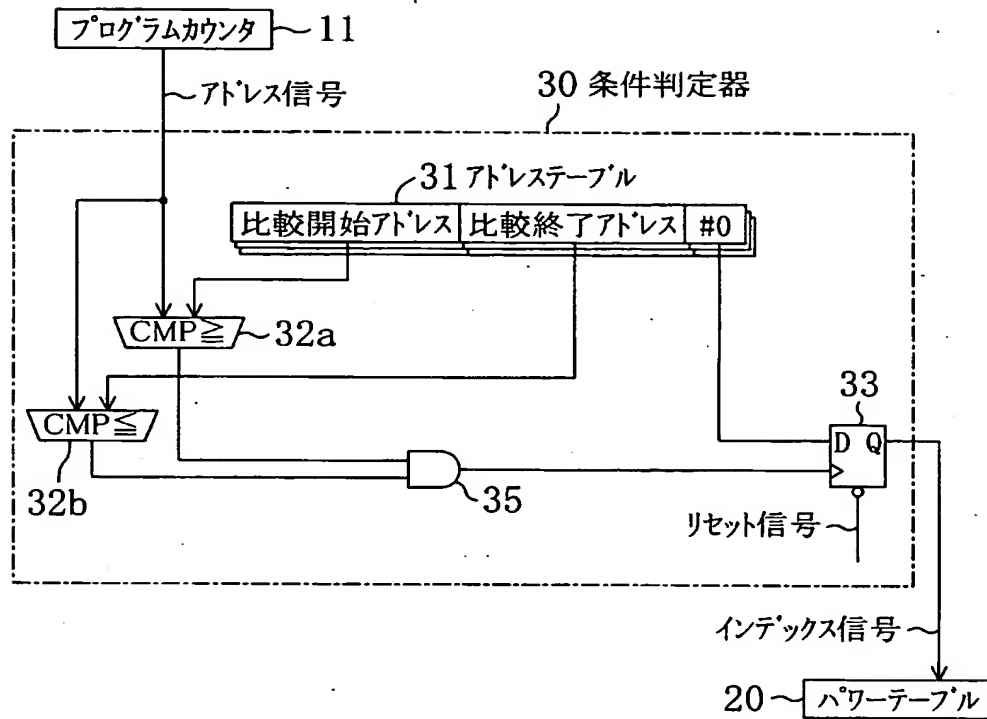
【図 5】



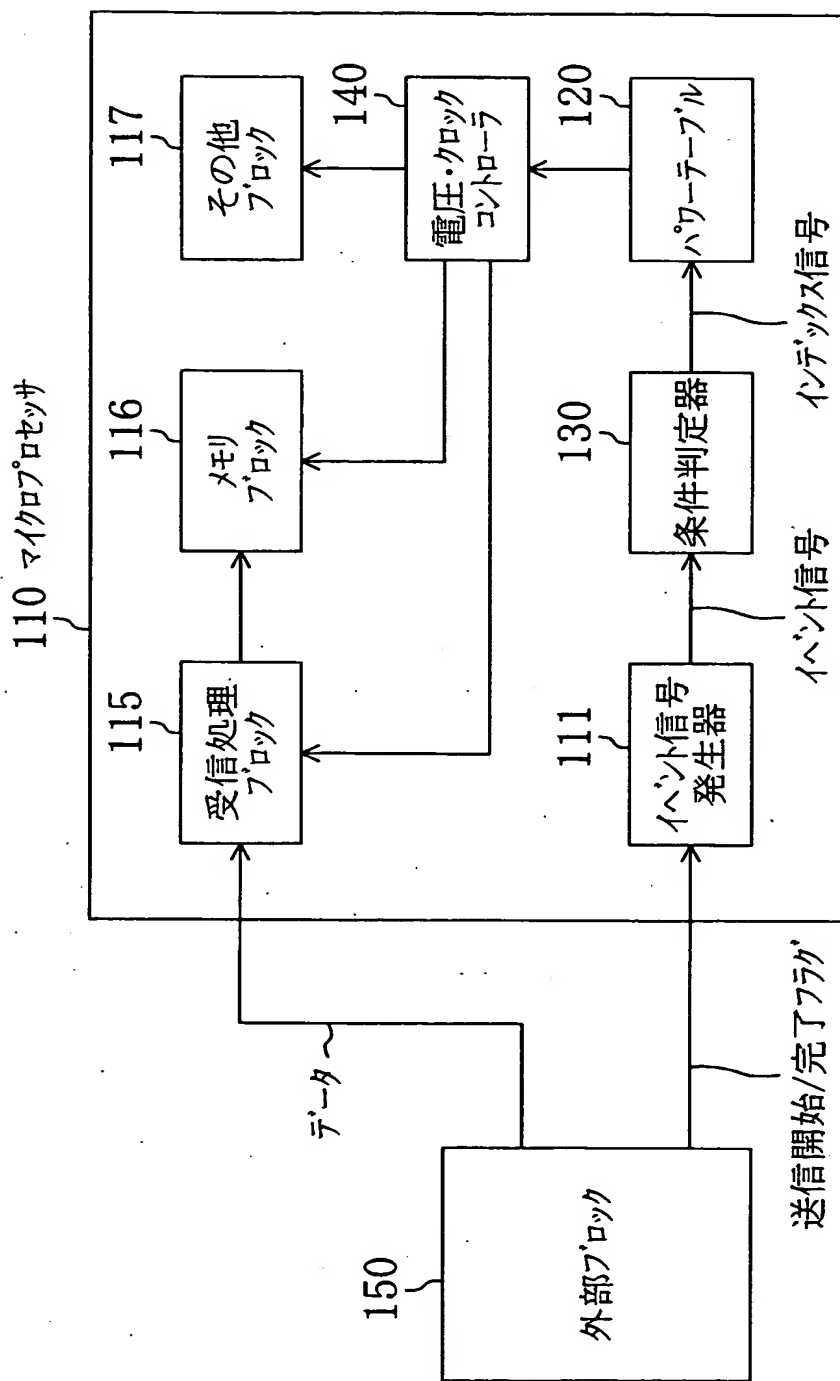
【図 6】



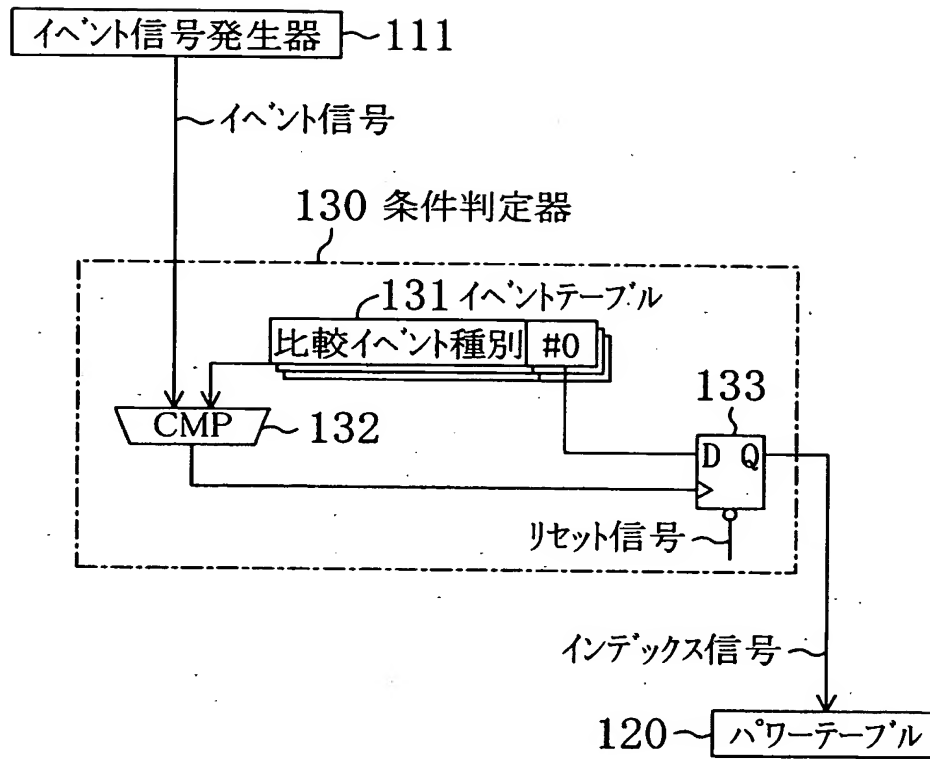
【図 7】



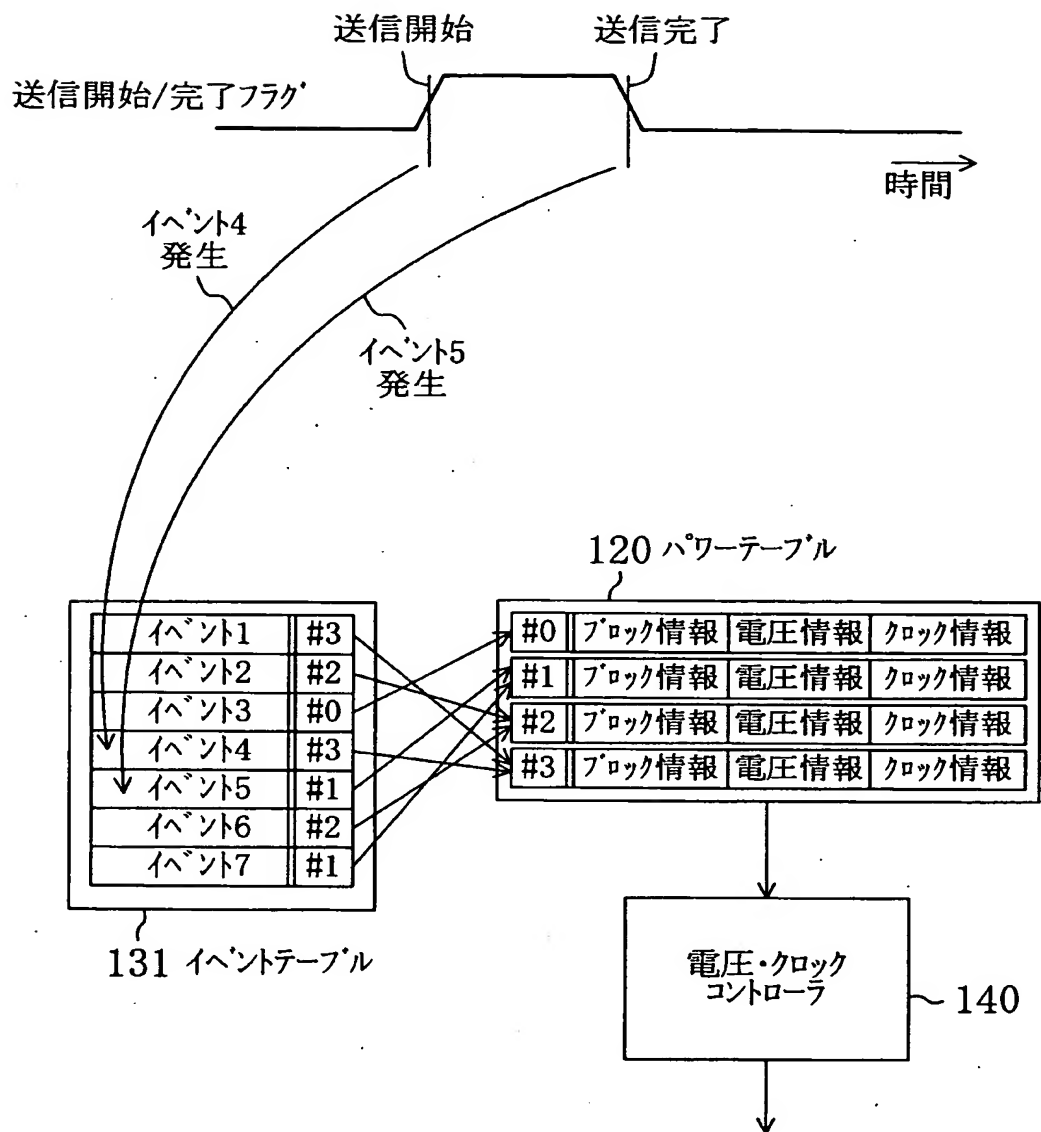
【図 8】



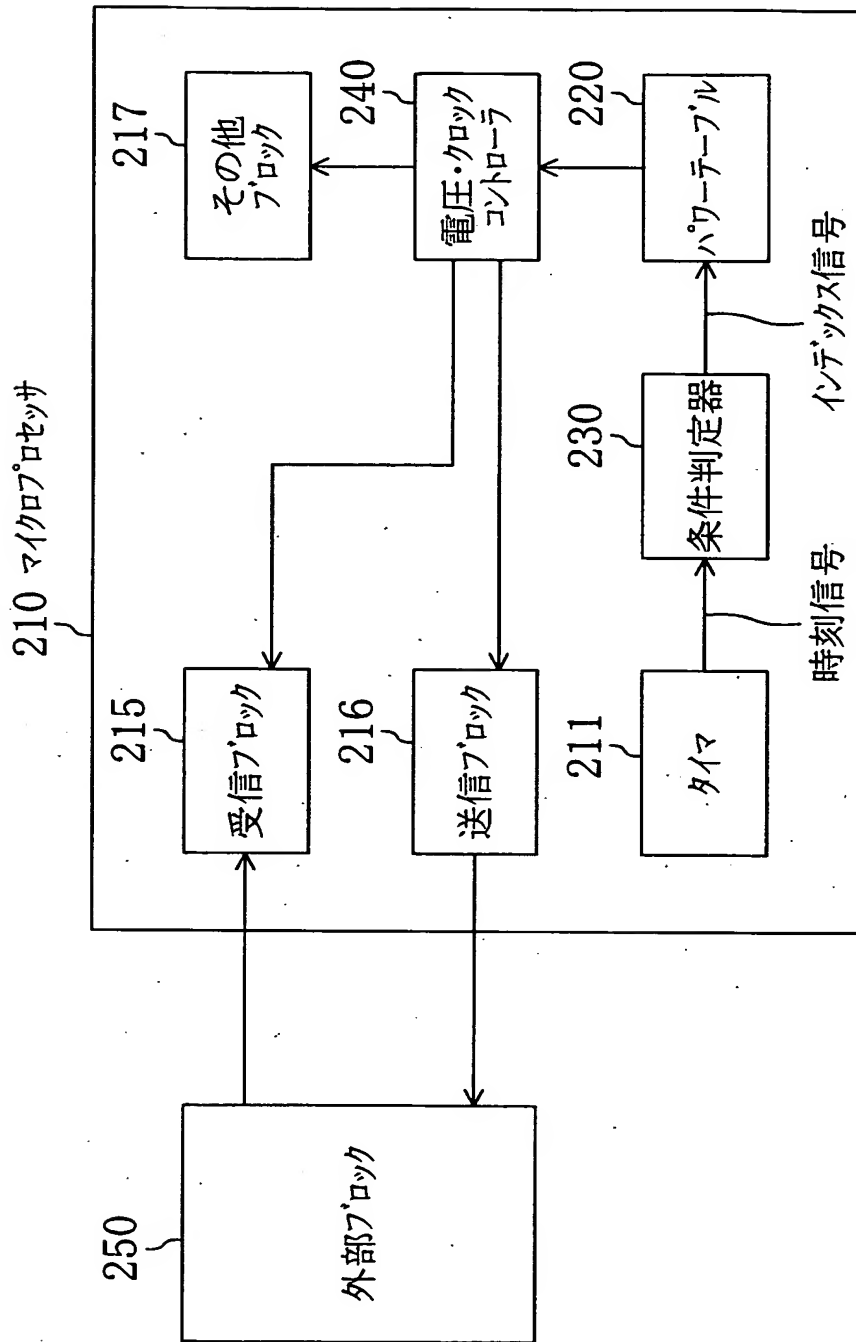
【図 9】



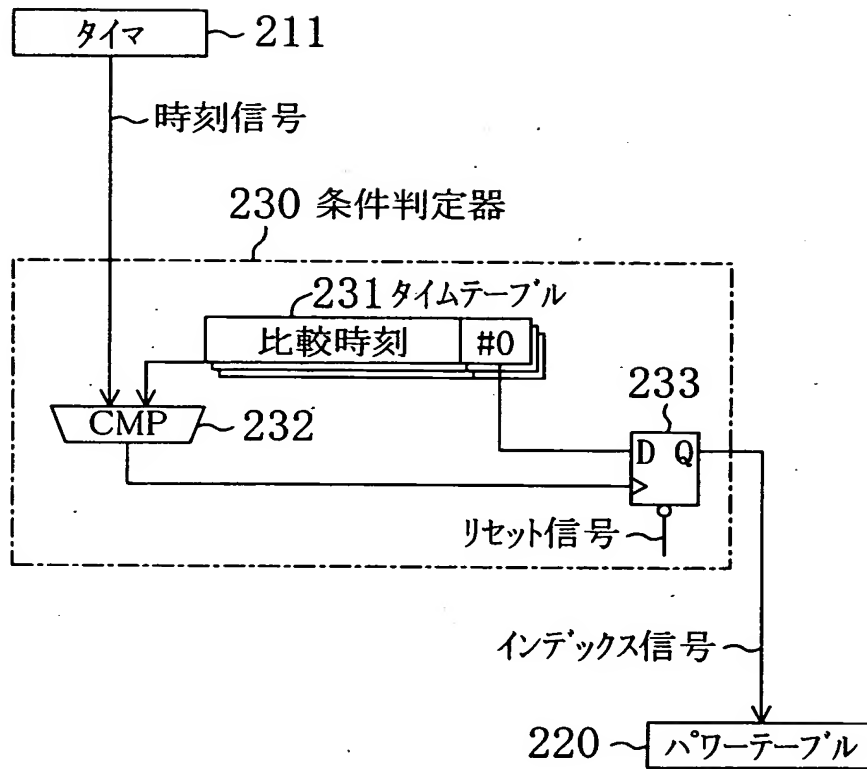
【図10】



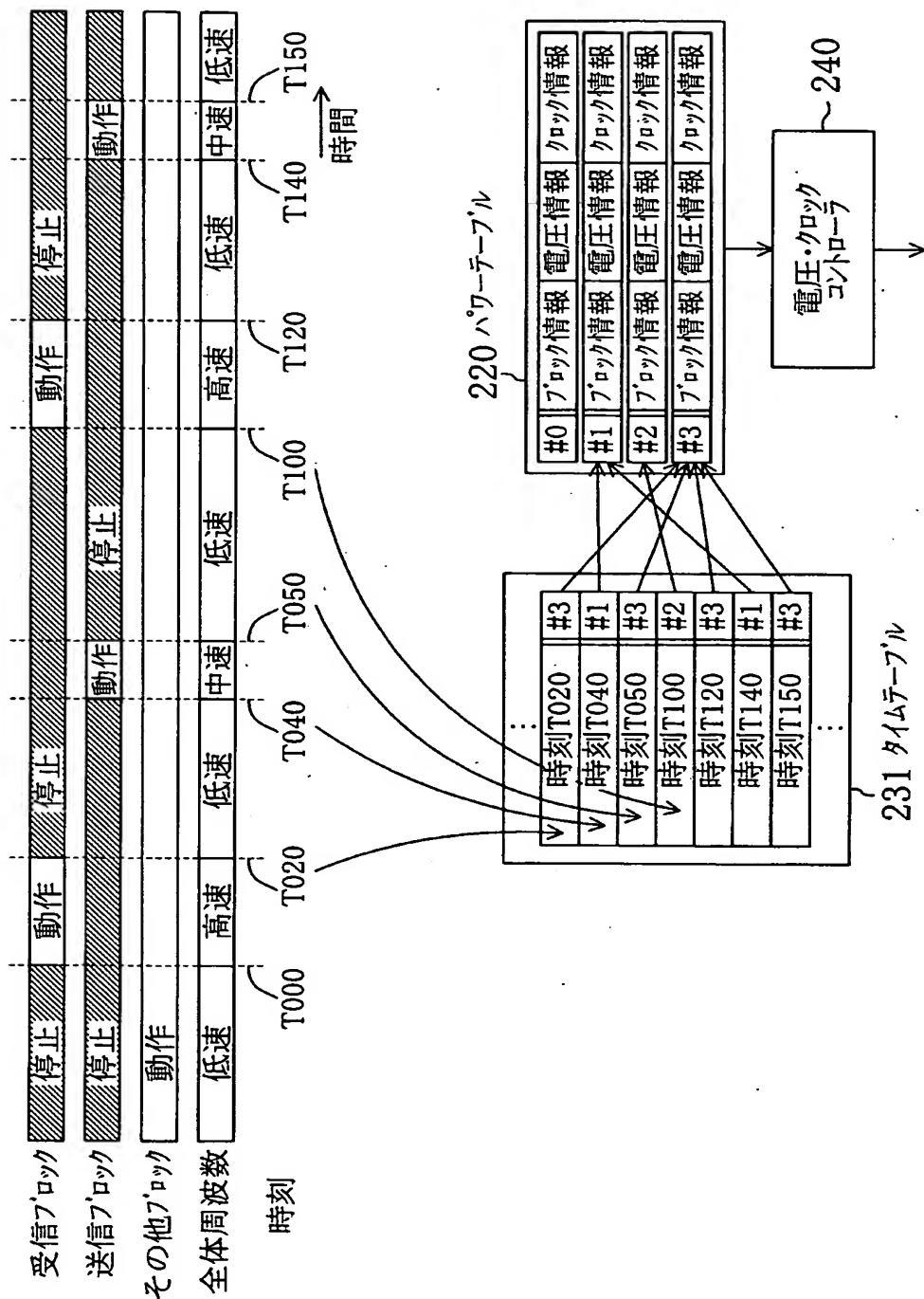
【図 11】



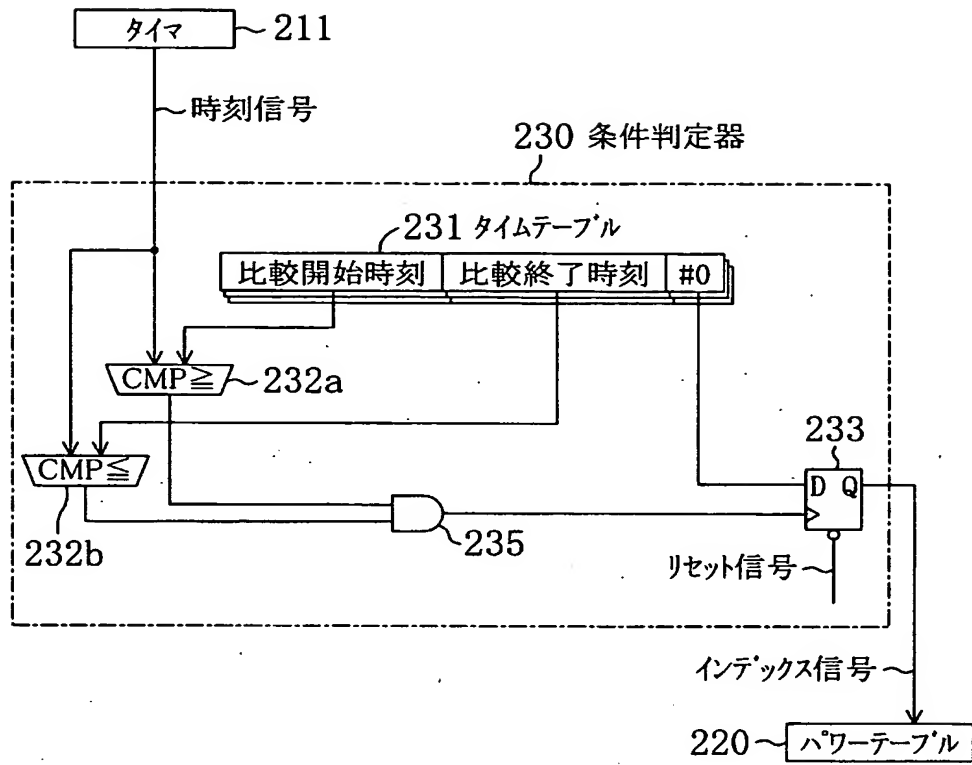
【図 12】



【図13】



【図 14】



【書類名】 要約書

【要約】

【課題】 プロセッサの低消費電力動作をユーザがきめ細かく定義でき、かつイベントドリブン方式を実現した電力制御装置を提供する。

【解決手段】 各々電力制御情報を書き換え可能に記憶するための複数の電力制御レジスタ 2 1 を備えたパワーテーブル 2 0 と、複数の動作条件（例えばプログラムカウンタ 1 1 に対する比較アドレス）を書き換え可能に記憶し、プロセッサの現在の動作が当該複数の動作条件のいずれを満たすかを判定し、当該判定の結果に応じて複数の電力制御レジスタ 2 1 のいずれかを選択するようにインデックス信号を供給するための条件判定器 3 0 と、インデックス信号により選択された電力制御レジスタ 2 1 中の電力制御情報に従って制御対象回路ブロック 1 5 の消費電力を制御するための電圧・クロックコントローラ 4 0 とを設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社